

National Quantum Science and Technology Institute
Missione 4, Componente 2, Investimento 1.3 – Spoke 5
Codice progetto MUR PE0000023 – CUP UNINA E63C22002190007



DIPARTIMENTO
DI **FISICA**
ETTORE PANCINI

UNIVERSITÀ DEGLI STUDI DI NAPOLI FEDERICO II

PROCEDURA APERTA CON APPLICAZIONE DEL CRITERIO DELL'OFFERTA ECONOMICAMENTE PIÙ VANTAGGIOSA INDIVIDUATA SULLA BASE DEL MIGLIOR RAPPORTO QUALITÀ PREZZO, AI SENSI DEGLI ARTT. 71 E 108, D.LGS. N. 36/2023 S.M.I. AVENTE AD OGGETTO LA FORNITURA DI ELETTRONICA DI MISURA ALLE MICROONDE PER LA CARATTERIZZAZIONE DI QUBIT SUPERCONDUTTIVI PER IL PROGETTO NQSTI NEL COMPLESSO UNIVERSITARIO DI MONTE SANT'ANGELO, NAPOLI

ELABORATO TECNICO RELATIVO ALLA GARA PER L'AFFIDAMENTO DI UN CONTRATTO AVENTE AD OGGETTO LA FORNITURA DI ELETTRONICA DI MISURA ALLE MICROONDE PER LA CARATTERIZZAZIONE DI QUBIT SUPERCONDUTTIVI PER IL PROGETTO NQSTI

Premessa

L'intervento in oggetto riguarda l'acquisto di attrezzature scientifiche ad elevato contenuto tecnologico che andranno a far parte della dotazione del laboratorio di computazione quantistica e caratterizzazione di dispositivi superconduttivi quantistici del Dipartimento di Fisica "Ettore Pancini" dell'Università degli Studi di Napoli Federico II, e serviranno per la misura e il controllo a temperatura ambiente di quantum bits superconduttivi.

Il presente elaborato, allegato alla richiesta di acquisto da parte dei referenti per la definizione delle caratteristiche tecniche è preordinato a definire le caratteristiche tecnico funzionali idonee a soddisfare le esigenze del Dipartimento.

La strumentazione e i materiali oggetto della fornitura dovranno essere senza difetti, nuovi di fabbrica ed originali in ogni loro parte e/o componente, di ultima generazione, completi di tutti gli accessori necessari al corretto funzionamento dell'apparecchiatura, come dettagliatamente indicati di seguito per ogni lotto.

Non potranno essere offerti in gara strumenti usati, anche in condizioni "refurbished" o ex-demo.

Gli elementi descritti rappresentano la configurazione minima richiesta dell'Oggetto a cui l'Offerente dovrà conformarsi nella sua offerta. Le caratteristiche elencate devono essere presenti contemporaneamente per la configurazione richiesta. Il non rispetto di uno o più parametri porterà all'esclusione dell'offerta dalla gara.

Le caratteristiche richieste dovranno essere comprovate in una relazione tecnica, prodotta dall'operatore economico, che dovrà contenere, inoltre, la descrizione dettagliata della strumentazione offerta.

Lotto n. 1

Il lotto n. 1 riguarda l'acquisto di un sistema compatto di strumenti elettronici a temperatura ambiente per l'implementazione di algoritmi quantistici su unità di processori quantistici (QPU) superconduttivi composti da almeno venti (20) quantum bits.

Deve includere una soluzione integrata di strumenti in grado di generare e misurare impulsi nell'intervallo delle microonde per l'implementazione di algoritmi quantistici e protocolli diagnostici su almeno venti (20) qubit superconduttivi, con le seguenti caratteristiche generali:

- lettura Quantistica Non Demolitiva (QND) dello stato dei qubit, cioè in grado di generare e misurare segnali alle microonde a bassa potenza in un intervallo da 100 MHz a > 9 GHz;
- controllo di qubit superconduttivi da 100 MHz a > 9 GHz, in grado di generare segnali a bassa potenza al fine di evitare transizioni verso livelli energetici superiori non computazionali nei qubit superconduttivi;
- sintonizzazione in frequenza, ovvero generatori di forme d'onda arbitrarie di corrente/tensione a basso rumore, utilizzati per regolare i parametri elettrodinamici della QPU tramite flusso esterno. Basso livello di rumore è un requisito fondamentale per la riduzione dello sfasamento e della decoerenza nella QPU. Si richiede l'utilizzo di sorgenti di offset di corrente in DC a basso rumore e ultra-stabili per generare l'offset per gli impulsi di flusso. È necessario che tali segnali siano accoppiabili tramite bias-tee con canali veloci AWG (Arbitrary Waveform Generator, o generatori di forme d'onda arbitraria) nel regime di banda base > 250 MHz.

Devono essere parte integrante della fornitura richiesta le seguenti prestazioni:

- Trasporto, consegna, installazione, messa in funzione dello strumento e verifica di conformità.
- Servizio di garanzia, di assistenza e un piano di manutenzione preventiva incluso nel periodo di garanzia standard di 36 mesi.
- Formazione del personale addetto all'utilizzo della strumentazione acquisita per una durata minima di due giorni.

Caratteristiche tecniche e funzionali lotto n. 1: Elettronica di misura alle microonde per la caratterizzazione di qubit superconduttivi

Specifiche:

Specifiche sui componenti principali: strumenti di lettura e controllo, sintonizzazione e specifiche per l'acquisizione/elaborazione dei dati.

Specifiche dei moduli di lettura (minimo 5 ingressi/uscite di segnali ad impulsi RF)

- Intervallo di frequenza operativa da 100 MHz a > 9 GHz, in maniera tale da essere compatibile con l'elettronica di amplificazione criogenica e le linee del segnale di lettura di ingresso e uscita criogeniche in un criostato a diluizione. La risoluzione in frequenza dovrà essere ≤ 1 Hz.
- Soluzioni per la up- and down-conversion per la generazione di impulsi RF diretti devono essere integrati nel sistema (oscillatori locali e mixer IQ e/o mixer digitali), senza la necessità di ulteriore hardware.
- Velocità DAC-ADC 1GS/s, per schemi pulsati di lettura rapida ad alte prestazioni in qubit superconduttivi.

- Nel caso di soluzione analogica per la up- e down-conversion analogici, deve essere garantita la possibilità di autocalibrazione per la soppressione delle perdite degli oscillatori locali e le correzioni del mixer IQ.
- Nel caso di soluzioni di mixaggio digitale, deve essere garantita un'ottimizzazione dei segnali automatica priva della necessità di calibrazione, combinando sintesi digitale diretta (Direct Digital Synthesis - DDS) e mixing singolo per prestazioni ad alto livello in tutto l'intervallo di frequenza.
- Larghezza minima dell'impulso di lettura di 4 ns con tempo di salita/discesa massimo di 1.4 ns (10% - 90%).
- Deve essere garantita la possibilità di modificare in tempo reale le forme di impulso arbitrarie e i relativi parametri con una velocità di aggiornamento massima di 4 ns. Le ampiezze degli impulsi, l'offset, la fase di modulazione e il guadagno devono essere programmabili tramite FPGA.
- I canali di ingresso devono consentire l'elaborazione *on-board* della misura con funzioni di media e integrazione tipiche, e devono consentire processi a soglia (*thresholding*).
- Deve essere possibile assegnare forme di impulso arbitrarie e funzioni di integrazione al fine di ridurre al minimo il crosstalk e migliorare la fedeltà di lettura della QPU.
- Per i segnali di uscita, è richiesto un SFDR (*Spurious Free Dynamic Range*) > 40 dB nell'intervallo da 100 MHz a > 10 GHz
- Per i segnali di uscita, il rumore di fase deve soddisfare le seguenti condizioni:
 - < -110 dBc /Hz a 5 GHz e con offset di 10 kHz;
 - < -140 dBc /Hz a 5 GHz e con offset di 10 MHz;
- I canali di lettura dovranno avere la possibilità di lettura multiplexata di almeno 6 toni di frequenza in una larghezza di banda > 750 MHz. Per supportare la scalabilità, sarà preferita strumentazione in grado di garantire lettura multiplexata di almeno 8 toni. Ogni canale di frequenza (risonatore) nell'ingresso multiplexato deve essere elaborato individualmente dall'FPGA per l'acquisizione dei risultati della misurazione da ciascun qubit. Ogni canale di frequenza deve essere regolato singolarmente e indipendentemente all'interno dello stesso modulo, quindi per la stessa coppia ingresso/uscita per la lettura.
- Deve essere possibile combinare i canali in modo da incrementare la larghezza di banda > 1.6 GHz.
- I canali di ingresso dovranno consentire segnali fino a -26 dBm per funzionare nel regime a singolo fotone, e fornire uno stadio di ingresso a guadagno variabile con > 25 dB di sintonizzazione.
- I toni della radiazione di *probe* dei risonatori di lettura dovranno essere generati dall'FPGA, consentendo il pieno controllo dell'ampiezza, dell'offset, della frequenza di modulazione e della fase.
- Connettori SMA di ingresso-uscita.
- Memoria di lettura per > 100.000 valori I/Q per qubit.

Sono inoltre richieste le seguenti specifiche:

- Soluzioni completamente integrate in cui i canali IQ sono integrati internamente con stadi di *up- e down-conversion* per i canali di uscita RF.
- Soluzioni in cui le operazioni in tempo reale sono programmate in modo completamente deterministico con la possibilità di riproduzione *back-to-back* di impulsi senza ritardi intermedi.

Specifiche dei moduli di controllo (minimo 20 uscite di segnali a impulsi RF per il controllo di 20 qubit in contemporanea)

- Intervallo di frequenza operativa da 100 MHz a > 9 GHz, compatibile con le frequenze tipiche dei qubit superconduttivi e diversi design circuitali. La risoluzione in frequenza dovrà essere ≤ 1 Hz.
- I canali di controllo dovranno consentire l'uscita nel regime di bassa potenza da -40 dBm a 5 dBm per evitare perdite verso livelli non computazionali di ordine superiore nei qubit superconduttivi.
- Soluzioni di mixaggio digitale basate sulla combinazione di sintesi digitale diretta (Direct Digital Synthesis - DDS) e mixing singolo, di modo da garantire un'ottimizzazione dei segnali automatica priva della necessità di calibrazione.
- Velocità DAC 5GS/s, per schemi pulsati di controllo rapida ad alte prestazioni in qubit superconduttivi.
- Larghezza minima dell'impulso di controllo/guida di 4 ns con tempo di salita/discesa massimo di 1.4 ns (10% - 90%)
- I canali di controllo dovranno consentire l'uscita multiplexata di almeno 8 toni di frequenza in una larghezza di banda di >800 MHz, mentre ogni canale di frequenza di pilotaggio può essere controllato individualmente con parametri di impulso in tempo reale come ampiezza, offset, frequenza di modulazione e fase.
- Possibilità di modificare in tempo reale le forme di impulso arbitrarie e i relativi parametri per l'implementazione e la correzione di porte a qubit singolo e multiplo, compresi *gate virtual-Z*, con velocità di aggiornamento massima di 4 ns. Le ampiezze degli impulsi, l'offset, la fase di modulazione e il guadagno devono essere programmabili tramite FPGA.
- Gli impulsi devono essere selezionabili da una memoria locale, invece che attraverso caricamento da un PC *host*. La *wave-memory* locale dovrà consentire la definizione di impulsi con forme arbitrarie in una griglia temporale di 1 ns.
- Intervallo dinamico libero spurio (*Spurious Free Dynamic Range*, o SFDR) > 40 dB nell'intervallo da 2 GHz a > 9 GHz.
- Per i segnali di controllo in uscita, il rumore di fase deve soddisfare le seguenti condizioni:
 - < -110 dBc /Hz a 5 GHz e con offset di 10 kHz;
 - < -140 dBc /Hz a 5 GHz e con offset di 10 MHz;
- Rapporto tra segnale e rumore (*Signal to Noise Ratio* o SNR) a 1.5 GHz > 150 dB.
- Connettori SMA di ingresso-uscita.

Si richiedono inoltre le seguenti specifiche:

- Soluzioni in cui le operazioni in tempo reale sono programmate in modo completamente deterministico con la possibilità di riproduzione back-to-back di impulsi senza ritardi intermedi.

Specifiche dei moduli per la sintonizzazione in flusso (minimo 20 sorgenti di corrente in continua in uscita e minimo 20 uscite in tensione pulsata)

- Intervallo di uscita per sorgenti di corrente con offset di flusso > ± 50 mA, con risoluzione DAC a 16 bit.
- Tensione di uscita per segnali di flusso impulsati > 4.5 Vpp nell'intervallo di frequenza da CC a > 250 MHz.
- Possibilità di modificare in tempo reale le forme di impulsi di flusso arbitrarie e i relativi parametri con una velocità di aggiornamento massima di 4 ns. Le ampiezze degli impulsi, l'offset, la fase di modulazione e il guadagno devono essere programmabili tramite FPGA.

- Gli impulsi di flusso devono essere selezionabili da una *wave-memory* locale per evitare il caricamento dal PC *host*. La *wave-memory* locale dovrà consentire la definizione di impulsi di flusso con forme arbitrarie in una griglia temporale di 1 ns.
- Ampiezza minima di flusso-impulso di tensione di 4 ns con tempo di salita/discesa massimo di 1.4 ns (10%-90%).
- Risposta ai gradini con < 0.5% di overshoot. Questo dovrebbe essere mostrato in modo esplicito tramite grafici di output.
- Il rumore per l'offset di flusso dovrebbe avere i seguenti requisiti:
 - misurato a +50 mA su 50 Ω con range \pm 50 mA:
 - <2.5 nA $\sqrt{\text{Hz}}$ a 10 Hz;
 - <0.8 nA $\sqrt{\text{Hz}}$ a 1 kHz;
- La densità di rumore di tensione per impulsi di flusso a 1 Hz su un carico di 50 Ω deve essere < 1.5 $\mu\text{V}/\text{Hz}^{1/2}$.
- Stabilità delle tensioni di offset del generatore di impulsi flusso-tensione deve essere <1.5 ppm/K, riferito al fondo scala.
- Deve essere disponibile un sistema di monitoraggio delle correnti di offset generate attraverso un'uscita di monitoraggio della tensione dedicata.
- La sorgente di tensione di uscita di deriva per l'offset di flusso deve avere i seguenti requisiti:
 - misurato a +50 mA su 50 Ω con intervallo \pm 50 mA: < 2.5 ppm/°C di fondo scala.
- Per l'offset di flusso sono necessari sistemi per evitare *ground loop* e per prevenire interferenza (ad esempio, nessun collegamento fisico tra la rete di terra e i canali di uscita, sistemi di isolamento, ecc ...). Ad esempio, l'alimentatore può includere filtri *gyrator* per evitare problemi di *ground loop*.
- Dato che le sorgenti con offset di flusso non richiedono una rapida sincronizzazione con il PC host, la connessione USB è una possibile alternativa alla connessione Ethernet/LAN.
- Le batterie di backup devono essere fornite insieme alle sorgenti CC con offset di flusso.

Si richiedono inoltre le seguenti specifiche:

- Uscite in tensione più elevate per la sintonizzazione del flusso, al fine di omettere l'accoppiamento tramite *bias-tee* tra le sorgenti CC e le uscite AWG.
- Specifiche dei moduli di impulsi di flusso AWG compatibili con i tipici generatori di impulsi di controllo, al fine di fornire controllo diretto nel caso in cui il numero di qubit aumenti.
- Isolamento dedicato (galvanico o simile) applicato all'alimentazione di rete delle uscite offset di flusso e/o flusso impulsato per evitare *loop* di massa e interferenze.
- Sorgenti CC alimentate direttamente da batterie, che vengono caricate automaticamente tramite un collegamento costante alla rete. Deve essere garantito che le batterie si ricarichino nella stessa unità, senza necessariamente disconnetterle dal sistema, per evitare interruzione dell'esperimento.
- Soluzioni per la generazione di impulsi di flusso in cui le operazioni in tempo reale sono programmate in modo completamente deterministico con la possibilità di riproduzione *back-to-back* di impulsi senza ritardi intermedi.

Specifiche di acquisizione/elaborazione dei dati

- Strumenti di Trigger interno/esterno:
 - Il sistema dovrà incorporare un clock di riferimento da 10 MHz in cui tutti gli oscillatori locali, gli FPGA e gli altri clock del sistema sono *phase-locked*.

- Possibilità di inserire sorgenti di clock esterne come master clock a 10 MHz o di emettere il clock interno tramite SMA, USB o connettori di ingresso-uscita equivalenti per la sincronizzazione di dispositivi esterni.
- Le uscite digitali, così come le uscite analogiche per l'attivazione di dispositivi esterni, dovranno accompagnare le linee di controllo. La temporizzazione degli impulsi generati deve essere sincronizzata in modo standard con altre apparecchiature di laboratorio di altri produttori. L'ingresso trigger deve essere incorporato per ricevere segnali marker/trigger da dispositivi esterni.
- La parametrizzazione supportata da FPGA degli impulsi generati dovrà funzionare in modo completamente deterministico, con la generazione di impulsi in tempo reale e l'aggiornamento dei parametri per gli impulsi di controllo, lettura e pompa, come descritto sopra. Gli FPGA dovranno incorporare memoria sufficiente per memorizzare onde e istruzioni locali per esperimenti tipici per il controllo e la lettura dei qubit.

Programmazione per interfaccia con gli strumenti

- Tutti i livelli di driver/API e interfaccia devono supportare il linguaggio di programmazione Python.
- Insieme all'accesso di basso livello, dovrà essere possibile la programmazione di alto livello per la programmazione intuitiva delle definizioni a livello di impulso e a livello di gate di impulsi e operazioni sui qubit, inclusa la scrittura di codici di diagnostica hardware dei circuiti quantistici.
- Routine di calibrazione automatizzata per tipici esperimenti di calcolo quantistico, ad esempio strumenti di autocalibrazione interna per la soppressione delle perdite degli oscillatori locali e le correzioni del mixer IQ.
- Sono richiesti strumenti software per una codifica comoda, un debug facile, modalità oscilloscopio e strumenti di visualizzazione.

Si richiedono inoltre le seguenti specifiche:

- Driver e parametri dovranno essere controllati utilizzando driver *open source* compatibili con i pacchetti e i *driver QCoDes* e *Quantify*.
- Capacità di programmare FPGA utilizzando VHDL (*VHSIC - Very High Speed Integrated Circuit - Hardware Description Language*) o metodi alternativi per l'accesso a basso livello a FPGA senza VHDL.
- Possibilità di creare *wrapper* attorno all'API Python (*Application Programming Interface*), o attorno all'interfaccia di programmazione di basso livello.
- Livelli software *open source*, sia per la programmazione di alto che di basso livello.

Programmazione per acquisizione dati, procedure diagnostiche, calibrazione e analisi

- Programma di formazione gratuito di una settimana: dovrà essere fornito un programma di formazione di una settimana per istruire gli utenti e i membri del laboratorio per una rapida configurazione e l'avvio delle misurazioni nella prima settimana di consegna. Tutorial, *notebook* sperimentali tipici e *script* di codice di esempio dovranno essere forniti come riferimento.
- Escluso la programmazione a basso livello, i *layer* API, e il set strumenti di diagnostica preventivamente citati, il sistema deve essere dotato di un pacchetto di software ad alto livello che permetta di sfruttare tutte le funzionalità dell'hardware. Deve essere possibile scrivere qualsiasi programma in maniera arbitraria, per creare sequenze di impulsi arbitrari e schemi di

lettura entro i limiti dell'hardware. Questo software di alto livello deve essere *open-source* per creare algoritmi proprietari in aggiunta alle funzionalità preventivamente indicate.

- Il software di alto livello deve supportare i driver di QCoDeS per integrarlo con altri sistemi sperimentali hardware e framework software esistenti.

Si richiedono inoltre le seguenti specifiche:

- Il software e/o gli script di programmazione devono essere *open-source* e personalizzabili dall'utente se necessario.
- L'hardware dovrà essere compatibile con script Python che sfruttano la libreria Quantify per il riutilizzo di codice attualmente in uso dal gruppo di ricerca.

Deve essere garantito:

- Ethernet/LAN, e/o connessione dati equivalente, tra gli strumenti e un PC host, con velocità dati di almeno 1 GBit/s.
- Un sistema modulare in cui è possibile aggiungere canali di ingresso e uscita su richiesta. È preferibile disporre di un sistema in cui vengono mantenuti lo stesso *backplane hardware*, sincronizzazione, feedback, livelli software e altre funzionalità nel caso in cui le dimensioni del sistema aumentino.
- Sincronizzazione di tutti i canali per segnali di lettura/controllo/sintonizzabilità con temporizzazione inferiore a 1 ns, con un *jitter* di pochi ps, senza necessità di ulteriori apparecchiature hardware.
- I risultati della misurazione devono essere distribuiti tra i moduli con *feedback* a bassa latenza per l'implementazione di gate singoli e multi-qubit veloci e affidabili, schemi di correzione degli errori quantistici e per la distribuzione di canali di almeno 20 qubit con connessione *all-to-all* nella stessa finestra temporale. È richiesto il controllo indipendente di ciascun sequenziatore e canale. Le operazioni di feedback devono essere effettuate tra tutti i canali di controllo e lettura internamente, senza bisogno di unità centrale esterna, ripetitore o modulo di sincronizzazione.
- Il sistema deve essere compatibile con uno *stack software* basato su Python ben documentato e mantenuto professionalmente per controllare gli esperimenti sulla QPU. Sono richiesti software per il controllo dell'hardware che consentano la programmazione di tutte le funzionalità e canali di ingresso e uscita come descritto nelle sezioni seguenti. L'utente avrà piena accessibilità ai codici sorgente e avrà i permessi per modificare e sviluppare i codici in futuro.

E' richiesta la possibilità di sincronizzare tutti i canali negli strumenti/moduli all'interno dell'hardware (tramite backplane, collegamenti interni), senza bisogno di ulteriore cablaggio tra unità hardware separate. Il sistema dovrà essere in grado di scalare fino a oltre 100 qubit con lo stesso *framework* di sincronizzazione.

Tensione di sistema: alimentazione di 215-230 V/50Hz. Potenza massima assorbita a pieno carico di circa 5 kW.

Rack: Il sistema deve essere dotato di un rack per strumenti, dove verranno posizionati tutti i prodotti inseguiti. È gradita la possibilità di avere una soluzione aggiuntiva per garantire flessibilità per le esigenze del gruppo di ricerca.

Supporto tecnico da remoto a vita.

- L'operatore economico dovrà descrivere i canali di supporto tecnico nel periodo di garanzia. I canali di supporto tecnico dovranno fornire risposte non oltre 48 ore dopo l'invio delle domande via e-mail/telefono/altro, durante il periodo di garanzia.
- Descrivere la manutenzione del prodotto o la sostituzione del prodotto durante il periodo di garanzia.
- L'operatore economico dovrà fornire update del firmware eseguibili anche senza il supporto diretto dello stesso.

Assistenza e manutenzione del sistema gratuite per i primi 3 anni.

Termine d'esecuzione: 6 mesi dalla conferma d'ordine.